Kap.4: Prosessorer og lagerhierarki

- **Pensum (kursorisk i parantes):**
  - 4.1.1, (4.1), 4.2, 4.4.1,
  - Det som ikke er pensum antas kjent !
- **Prosessorer**
  - Prinsipper, teknologi og trender
  - Superskalare prosessorer
    - » prinsipp
    - » eksempler
  - VLIW arkitektur
  - Vektor prosessorer
    - » vektor instruksjoner
- **Virtuelt lager**
  - Virtuelt og fysisk lager, adresse-oversetting
  - Delt virtuelt lager

Prosessorer, prinsipper, teknologi og trender

- **CISC, complex instruction set computing**
  - "tradisjonell prosessor"
  - typisk 120-350 instruksjoner, ulike format/lengder
  - mikroprogrammerte instruksjoner
- **RISC, reduced instruction set computing**
  - typisk mindre enn 100 instruksjoner, fast format
  - "hardwired" instruksjoner
  - populært på 80-tallet
  - skalar RISC = vanlig RISC
- **I dag, kombinasjoner av RISC og CISC**
  - fordeler fra begge
  - ("pendel-utslag")
- **superskalar RISC**
  - RISC der flere instruksjoner kan "startes opp" samtidig
- **VLIW arkitektur**
  - Very Long Instruction Word
  - typisk 256-1024 bits instruksjoner
- **Superpipelined prosessor**
  - Økt klokkerate oppnådd med stor grad av pipelining(mange trinn => korte trinn)

Superskalare prosessorer

- **Flere instruksjons-"pipelines"**
  - kan starte opp/utføre flere instruksjoner samtidig
    - » *"k-issue-processor"*(k-resultats-prosessor)
    - » typisk verdi for *k* er 2 -- 5
  - krever uavhengige instruksjoner, dvs. parallellitetsgrad på instruksjonsnivå
    - » denne er relativt lav
    - » optimaliserende kompilator
  - varierende utnyttelsesgrad
- **Både RISC og CISC kan forbedres ved overgang til superskalar arkitektur**
  - Til nå, mest vanlig for RISC
- **Fig. 4.12**
  - vanlig at heltallsenhet (IU) og flyttallsenhet (FPU) er på samme brikke (RISC)
  - samtidig utførelse av flere instruksjoner krever ekstra logikk
    - » "reorder buffers"
    - » reservasjons-stasjoner
    - » m.m. (Kommer tilbake til dette i kap. 6)
    - » Mange av disse avanserte teknikkene har vært benyttet lenge i stormaskin-prosessorer, det nye er (i hovedsak) at de realiseres på en brikke

VLIW arkitektur

- **Very Long Instruction Word**
- **Mange funksjonelle enheter som styres av ett langt instruksjonsord**
  - typisk 256-1024 bits instruksjoner
- **Felles register-fil**
- **Enklere prosessor, men en del av kompleksitet er overlatt til kompilatoren**
  - samtidighet, flytting av data m.m. er avgjort ved kompileringstid
  - ønskelig men vanskelig å utnytte alle de funksjonelle enhetene i hver instruksjon
- **Lite kompatibelt med andre prosessorer**
- **Eks. Multiflow Trace**
  - Opp til 7 operasjoner samtidig
  - 256 bits instruksjoner
  - (Fisher)

Vektor prosessor

- **Vektor-prosessor**
  - en koprosessor spesielt konstruert for å utføre vektor-beregninger
  - ofte brukt i superdatamaskiner
- **Vektor-instruksjoner**

Trenger vektoriserende kompilator

■ Notasjon:

$M(1{:}n)$	Tabell i lager med lengde n
$\mathbf{V}_i$	Vektorregister med lengde n
s_i	Skalarregister
$\otimes$	Vektor - operasjon
$M(k)$	Skalarverdi lagret i lagerlokasjon k

■ register til register arkitektur:

$\mathbf{V}_1$	$\otimes$	$\mathbf{V}_2$	$\rightarrow$	$\mathbf{V}_3$	binær vektor
s_1	$\otimes$	$\mathbf{V}_1$	$\rightarrow$	$\mathbf{V}_2$	skalering
$\mathbf{V}_1$	$\otimes$	$\mathbf{V}_2$	$\rightarrow$	s_1	binær reduksjon
		$M(1:n)$	$\rightarrow$	$\mathbf{V}_1$	hente vektor
		$\mathbf{V}_1$	$\rightarrow$	$M(1:n)$	lagre vektor
	$\otimes$	$\mathbf{V}_1$	$\rightarrow$	$\mathbf{V}_2$	unær vektor
	$\otimes$	$\mathbf{V}_1$	$\rightarrow$	s_1	unær reduksjon

■ lager til lager arkitektur:

$$M_1(1{:}n) \otimes M_2(1{:}n) \rightarrow M(1{:}n)$$
$$s_1 \otimes M_1(1{:}n) \rightarrow M_2(1{:}n)$$
$$\otimes M_1(1{:}n) \rightarrow M_2(1{:}n)$$
$$M_1(1{:}n) \otimes M_2(1{:}n) \rightarrow M(k)$$

Prosessor for symbolske beregninger (Eng. symbolic processor)

- **(Er en type spesial-prosessor)**
- **Ikke-numeriske beregninger (Eng: symbolic processing)**
  - automatiske bevis
  - symbolsk derivasjon/integrasjon
  - kunstig intelligens
    - » maskinlæring
  - ekspert-systemer
  - database-applikasjoner
  - mønster-gjenkjenning
  - m.m.m.
- **andre krav til arkitektur**
  - intensiv aksess til stort lager, lite lokalitet
  - stor variasjon i kommunikasjonsmønster mellom applikasjoner
  - ofte stor iboende parallellitet, men irregulære og kompliserte data-avhengigheter
  - dynamisk last-balansering
  - søppel-tømming (Eng. garbage collection)
    - » HW/SW samarbeid
  - effektiv håndtering av funksjonskall
  - spesielt instruksjons-sett

Symbolic processors, (forts.) (kursorisk)

- **Andre navn(eksempler):**
  - prolog prosessorer
    - » Warren Abstract Machine (WAM)
    - » Tick & Warren's maskin
    - » PSI (Personal Sequential Inference) machine, Japan's FGCS-prosjekt
    - » HPM, PLM, X-1, m.fl.
  - LISP prosessorer
    - » Symbolics 3600; stakk-orientert spesial-maskin, fig. 4.16
    - » CADR-maskinen
    - » Texas Instruments Compact LISP machine
    - » the Scheme-79 chip
    - » m.m.fl.
  - "symbolske manipulatorer"
- **Muligens tilbake til temaet i vårsemesteret**
- **Anbefalt bok;**
  - Peter M. Kogge, "THE ARCHITECTURE OF SYMBOLIC COMPUTERS", McGraw-Hill, 1991
    - » grundig, 739-sider
    - » pensum i dr.ing.-fag datamaskinark.-II (?)

Lagerhierarki

- Kap. 4.3. antas kjent, og er ikke pensum. Sentrale begreper er **bl.a.**
  - enheter, teknologi, størrelse, kostnad, hastighet
  - virkemåte
  - inklusjons-egenskapen
  - koherens
  - lokalitet i referanser
    - » temporal
    - » romlig (Eng. spatial)
    - » sekvensiell
  - aksess-frekvens
  - treff, bom, treff-rate
  - side-feil (Eng. page-fault)

Virtuelt lager (repetisjon)

- **Kap. 4.4.1 er pensum !**
- **Fysisk lager (adresserom)**
  - primærlager
  - begrenset
- **Virtuelt lager (adresserom)**
  - også kalt logisk lager
  - stort (nærmest ubegrenset)
  - hva programmereren ser
- **Adresse-avbildning**
  - andel og plassering av logisk adresserom som ligger inne (dvs. i primærlageret) varierer over tid
  - virtuelle adresser må oversettes til fysiske adresser under kjøring
  - relokering
- **Fordeler**
  - deler primær-lager mellom flere brukere
  - økt utnyttelse av primærlager
  - mindre begrensning av program- og data-størrelse
  - lettere å realisere beskyttelse av prosesser
- **Virtuelt lager er vanskeligere å realisere på multiprosessorer**
  - fig. 4.20

Virtuelt lager (forts.)

- **flere temaer som antas kjent:**
  - sidedelt lager
  - sider, side-rammer
  - oversetting, side-tabeller,TLB
  - segment-inndelt lager
  - sidedelte segmenter
  - strategier for erstattning
    - » LRU, m.fl.