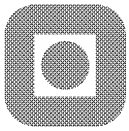
NORGES TEKNISK-NATURVITENSKAPLIGE UNIVERSITET
INSTITUTT FOR DATATEKNIKK OG TELEMATIKK



Faglig kontakt under eksamen:
Navn: Lasse Natvig
Tlf.: 93685

EKSAMEN I FAG 45214 DATAMASKINARKITEKTUR

Lørdag 11 mai 1996
Tid: kl 0900 - 1400

Hjelpemidler: Kode B1: Typegodkjent kalkulator, med tomt minne, i henhold til liste utarbeidet av NTH tillatt.
Ingen trykte eller håndskrevne hjelpemidler tillatt.

Oppgavesettet består av mange oppgaver. Det kan lønne seg å svare stikkordsmessig og kortfattet for å rekke og svare på alle oppgavene. Tallene i parantes angir den relative vekt oppgaven tillegges ved bedømmelsen.

Oppgave 1 Multiprosessorer (25 %)

a) Multiprosessorer deles ofte inn i to hovedkategorier etter hvordan datautveksling/ kommunikasjon mellom prosessorene er implementert. Hva kaller vi disse to kategoriene? (*Hint*: det vil muligens være lettere å svare på oppgave a) etter at en har lest gjennom hele oppgave 1).

b) Nevn kort sterke og svake sider ved hver av de to kategoriene nevnt ovenfor. Vurder brukervennlighet (dvs. lett å programmere) og skalerbarhet.

c) Skillet mellom disse to maskintypene er i ferd med å viskes ut, hvordan? (*Hint*: To engelske forkortelser brukt i denne sammenheng er DSM og SVM)

d) FLASH prosjektet ved Stanford er en multiprosessor prototype som har valgt en spesiell arbeidsdeling mellom hovedprosessoren og en spesiell node-kontroller (MAGIC). Forklar denne arbeidsdelingen.

e) Operativsystemet i en multiprosessor kan organiseres på ulike måter. Nedenfor er navnet på tre slike organiseringer gitt. Forklar kort hovedtrekkene i virkemåten til hver av disse, og nevn kort fordeler og ulemper ved hver løsning.
1) *enkel, fast mester kjerne* (Eng. Single fixed master)
2) *enkel, flytende mester kjerne* (Eng. Single floating master)
3) *flere, samarbeidende mester-kjerner* (Eng. multiple cooperative masters)

Oppgave 2 Vektormaskiner og pipelining (20 %)

a) Vektor-prosessorer kan m.h.p. arkitektur deles inn i to hovedfamilier; *lager-til-lager* arkitektur og *register-til-register* arkitektur. Det er en av disse familiene som er blitt mest utbredt. Hvilken er det? Dette kan forklares ut i fra en klar trend m.h.p. forskjellig utvikling av hastigheten til to komponenter/delsystemer som er sentrale i enhver datamaskin. Hva er denne trenden?

b) Multiplikasjon basert på pipelining kan realiseres v.hj.a. et såkalt Wallace-tre. Forklar hovedprinsippet for dette. Tegn gjerne en skisse, men du trenger ikke lage en komplett beskrivelse. Hvorfor benytter en såkalte CSA adderere framfor CPA adderere i et slikt Wallace-tre?

c) Anta at du har konstruert et Wallace-tre som kan multiplisere to 8 bits tall. Forklar kort hvordan en kan bruke det samme Wallace-treet for multiplikasjon av større tall, f.eks. to 32 bits tall. Hvilke endringer krever det av Wallace-treet du skisserte i delspørsmål b)?

d) Forklar kort begrepene "gather"-instruksjon og "scatter"-instruksjon, og hva er karakteristisk for datastrukturen i de applikasjoner som har spesiell nytte av slike instruksjoner.

Oppgave 3 Hurtigbuffer koherens (25 %)

a) Anta en multiprosessor med delt lager der alle lager-modulene er koplet til den samme bussen. Hver prosessor-node har et hurtigbuffer (Eng. cache) som kan aksesseres uten å belaste den felles bussen (ved treff). Man ønsker å oppgradere maskinen til flere og kraftigere prosessorer, og må da utnytte ulike muligheter for å øke båndbredden (dvs. effektiv overførings-kapasitet) mellom prosessorer og lager-system. (Husk at hurtigbuffere regnes som en del av lager-systemet). Nevn minst tre metoder som kan benyttes for å øke båndbredden mellom prosessorer og lagersystem, og forklar hvordan de gjør det.

b) For et hurtigbuffer- (Eng. cache-) system skal det foretas en vurdering av styringsstrategiene *gjennomskriving med blokkallokering ved skriv* (Eng. write-through-with-write-allocate, WTWA) og *skriv tilbake* (Eng. write-back, WB) mot hverandre. WTWA innebærer at hovedlager oppdateres samtidig som hurtigbuffer (dvs. WT), og at en blokk lastes inn i hurtigbufferet ved en skrive-bom. Anta ingen gjennomlesing (dvs. ved en sidefeil får ikke prosessoren sine data før hele blokken er lest inn i hurtigbufferet). Hver blokk består av b ord, som kan overføres mellom hovedlageret og hurtigbufferet i løpet av $b+c-1$ tidsenheter, der c er hovedlagerets syklustid oppgitt i antall ganger hurtigbufferets syklustid. Hurtigbufferets treffrate h antas uavhengig av strategien. Sannsynligheten for at en lagerreferanse er en skrive-operasjon betegnes med p_w, og sannsynligheten for at en blokk som skal erstattes har blitt modifisert (kun interessant i forbindelse med WB-strategien) betegnes med p_m.
Normalt er $p_m > p_w$.

Utled et uttrykk for forventningsverdien til den tiden det tar å betjene en lager-referanse målt i antall hurtigbuffer-sykler. Kall sannsynligheten for at en lager-referanse er en lese-operasjon for p_r og bom-raten for f.

Hva blir tallverdien hvis vi antar at $h = 0.9$, $b = 16$, $c = 8$ og $p_w = 0.2$? *(Kommentar: Her ble det under avvikling av eksamen stilt spørsmål om det skulle stå "tallverdiene", dvs. uttrykk for for både WTWA og WB. De ble svart JA, og senere at WB da må uttrykkes som funskjon av p_m.)*

c) Buss-snusing (Eng. bus-snooping) er en velkjent metode for å opprettholde konsistente (koherente) hurtigbuffere i en multiprosessor. Nevn kort hvorfor SCI-standarden kan være en bedre løsning når antall prosessorer blir stort.

d) Tenk deg en multiprosessor der du over en lengre periode (f.eks. 5 år) ønsker å gjøre gradvise utvidelser med nye og hurtigere prosessor/hurtigbuffer-noder etterhvert som slike blir utviklet. Hva er hovedfordelen ved SCI i forhold til buss-snusing i en slik situasjon?

e) Den opprinnelige SCI standarden er ikke så godt egnet for mange hundre eller tusenvis av prosessorer der det er stor grad av deling av data. Beskriv en utvidelse av standarden som vil være bedre i slike tilfeller, og begrunn hvorfor denne forventes å ville gi bedre ytelse.

Oppgave 4 Arkitektur - modeller - abstraksjon (12%)

a) Forklar kort forskjellen på begrepene *arkitektur* og *implementasjon*. Hvilke egenskaper tilhører arkitekturen, og hvilke tilhører implementasjonen av en prosessor.

b) Forklar begrepet PALcode som er brukt i Alpha-prosessoren. Legg vekt på å beskrive fordeler som denne løsningen har.

c) En modell for parallelle beregninger (el. maskiner) bør ha en rekke egenskaper for at den skal være en god modell. Nevn to par av slike ønskede egenskaper som lett vil komme i konflikt med hverandre. Begrunn svaret kort.

d) Bill McColl et.al. har videreført Valiant's beskrivelse av BSP-modellen ved å spesifisere såkalte "interference-free supersteps". Forklar kort hva som ligger i dette begrepet og hvordan det kan utnyttes for å oppnå ytelseforbedringer.

Oppgave 5 "Bygg en maskin" (18%)

Du er ansatt som systemarkitekt i firmaet Image Hype Brothers. Firmaet skal nå utvikle en maskin for behandling av sort-hvitt bilder i sann tid. Hvert bilde inneholder 1024 x 1024 punkter, og er representert med 1 bit pr. piksel. Det ankommer 60 bilder i sekundet som skal prosesseres i samme hastighet. Kompetansen og ressursene i firmaet er begrenset slik at du må sette sammen en maskin ved å velge eksakt en delløsning fra hver av de 4 listene nedenfor. Velg delløsninger slik at du mener du får en god totalløsning. Begrunn ditt valg så godt som mulig, og beskriv evt. manglende delløsninger for å oppnå en god begrunnelse. Valg fra listen uten begrunnelse gir ingen poeng. Beskriv *også* hvordan du vil løse IO-problemet på din maskin, samt hvordan du kan oppnå høy grad av tilgjengelighet gjennom feiltoleranse.

Prosessorer:
1) 16 *k* "bit-slice" prosessorer realisert i VLSI
2) 64 mikroprosessorer av typen Alpha el.l.
3) 1 stk. CRAY Y-MP

Lagerstruktur:
1) Ett stort felles lager, aksessert via felles buss
2) Små, men hurtige lokale bit-adresserbare lagere i hver prosessor
3) Cache, hovedlager og disk knyttet til hver prosessor.

Sammenkopling av prosessorene:
1) SCI
2) Hyperkube
3) Blitzen X-net
4) Alle-til-alle krysskopling

"Operasjonsmodus" for prosessorene:
1) MIMD
2) SIMD
3) "load-and-go bus-shuffling"
4) BSP
5) SPMD

...---oooOOOooo---...